

Die Mips-R4400-Prozessoren mit internen Taktfrequenzen von derzeit immerhin bis zu 150 MHz hätten hier klare Vorteile. Und so wartet SNI mit einem breiten Spektrum von R4400-Servern auf.

Die Serie RM400 (20 ... 150 000 DM) beginnt mit den von SNI-Frankreich entwickelten Mini-Tower-Modellen 120 und 220. Beide ausgestattet mit 50/100 MHz R4400 und vier EISA-Slots, ersterer als -PC ohne L2-Cache, letzterer (-SC) mit 512 KB externem Cache. Die größeren Tower-Modelle der RM400er Serie stammen aus deutscher Entwicklung: vom Modell 330 (4 Eisa-Slots, 50/100 MHz

R4400SC, 1 MByte L2-Cache) bis zum Modell 540 (8 EISA-Slots, 75/100 MHz R4400SC, 4 MByte L2-Cache). Letzteres kommt auf eine Transaction-Rate von 170 Tps.

Für den High-End-Serverbereich (100 TDM bis 3 Mio) ist die RM600-Serie vorgesehen, deren Modelle sich nach Prozessortakt, CPU- und Slotanzahl gliedern. Das kleinste Modell 120 kann bis zu vier R4400MC-50/100 und sieben zusätzliche I/O-Slotkarten aufnehmen, der derzeit größte Vertreter (Modell 240) arbeitet mit bis zu acht R4400MC-75/100, bietet Slots für 22 I/O-Karten und schafft etwa 800 Tps. Ein noch leistungsfähigeres Mit-

glied dieser Familie soll mit 16 beziehungsweise 24 Prozessoren im zweiten Quartal '94 folgen.

Sun: Multimedia

Sun präsentierte gleich drei neue Modellvarianten ihrer SPARCstations: die 10SX soll mit ihrer direkt ins Memory-Subsystem integrierten Grafik- und Bildverarbeitungseinheit die am Markt höchste Leistung bei 24 Bit Farbtiefe liefern und bietet 3D-Grafikfunktionen sowie hardwarebeschleunigtes Video-Playback. Die Basis-Konfiguration beinhaltet 32 MByte RAM, eine Festplatte mit 525-MByte und einen 16"-Farbmo-

nitor. Die 10M entspricht diesem Gerät, erlaubt jedoch zusätzlich Echtzeitvideoerfassung und -kompression. Sie wird mit einer Videokamera und CD-ROM geliefert.

Diese Ausstattung gehört auch zum dritten Modell, der SPARCclassic M. Die M-Systeme können Videobilder mit einer Frequenz von 30 Bildern/s erfassen und komprimieren (MPEG, JPEG und CELL, ein von Sun entwickelter Algorithmus). Die SX ist ab sofort erhältlich (ab 39 560 DM), die SPARCstation 10M (ab 43 650 DM) und die SPARCclassic M (ab 11 520 DM) sollen ab Mitte Dezember lieferbar sein. (ad/as)

Prozessorgeflüster

Andreas Stiller

Viele Prozessorhersteller nutzten die Systems oder das gleichzeitige Microprocessor-Forum in Kalifornien, um ihre neuesten Sprößlinge vorzustellen. Darunter auch den zweiten Vertreter der Power-Linie, den PowerPC 603, den IBM und Motorola nun als Produktionsmuster fertig haben.



Den PowerPC 601 fertigt derzeit IBM allein, den für den Notebook-Markt bestimmten 603 wird auch Motorola in ihrer neuen '0,5µ-Fab' MOS11 in Austin fabrizieren. Der 603 hat wahlweise einen 32- oder 64bitigen Datenbus und einen 32bitigen Adreßbus. Anders als der 601 hat er zwei getrennte Caches (je 8 KByte) für Daten und Instruktionen. Als 3,3-V-Design mit weniger als halb so viel Transistoren (1,2 Mio) verbraucht er nur 2,5 W.

Daneben verkündete Motorola, daß der 601 nun mit 80 MHz erhältlich ist und daß im nächsten Jahr der leistungsfähigere 604 folgen soll.

Im Umfeld von IBM/Motorola war auch von zwei 'sagenumwobenen' PowerPC-Versionen zu hören: der 613, eine spezielle Apple-603-Variante für den Newton und der 615, der allen bisherigen IBM-Dementis zum Trotz doch mit 386/486-Microcode-Emulation daherkommen soll.

Intel enttäuschte ihre Fangemeinde, statt des erhofften 486DX3-100 stellte sie lediglich ihre Overdrive-Upgrade-Strategy vor. Gegen 5000 Dollar Gebühr kann nun ein Hersteller ein Board-Design verifizieren (letzteres mit einer Overdrive-Ready-Plakette).

Cyrix verriet auf dem Microprocessor-Forum erstmals einige Interna ihres Pentium-Konkurrenten M1. Dieser soll mit bis zu 100 MHz Takt arbeiten und dabei wie Pentium und PowerPC 601 mit einem SPECint/Takt-Wert von 1 daherkommen (also rund 100 SPECint92 bei 100 MHz). Cyrix' Superscalar/Superpipeline-Chip soll x86-Software fahren, zusätzliche Register haben (insgesamt 32) und 'vorausschauende' Fähigkeiten aufweisen. Er dekodiert dann bei bedingten Verzweigungen nicht nur die beiden möglichen Wege, sondern führt auch spekulative Exekutionen durch und ändert bei Bedarf

auch deren Reihenfolge (out-of-order Execution). Anders als beim Pentium würde so auch alte x86-Software von der Parallelverarbeitung profitieren.

Allerdings ist der M1 derzeit noch Paperware, für 1994 wird 'die Ankündigung' erster Produkte angekündigt.

DEC nähert sich mit seinen neuesten Prozessoren 21064A-225 und 21064A-275 allmählich dem UHF-Bereich, (170 SPECint92, 290 SPECfp92). Von den in 0,5-µ-Technik hergestellten 3,3-V-Prozessoren wird der 225-MHz Typ ab Dezember '93 gegen 877 Dollar (ab 5000 Stück) ausgeliefert, im Frühsommer '94 sollen die 275-MHz-Renner folgen (1442 Dollar).

Mips setzt einen drauf

Auch auf der Mips-Seite gibt es Bewegung. Mips stellte SSR 'Streaming Superscalar Risc' vor, eine Zwei-Chip-Lösung für den Hochleistungsbereich, die Spitzenwerte von 300 MFlops bei 75/150 MHz erzielen soll. Dank einer 'Streaming-Cache-Technologie' ist eine enorm große Bandbreite von 1,2 GByte/s zwischen Cache und CPU möglich. SSR ist dabei voll binärkompatibel zur Mips-Familie.

Vor allem im Preis/Leistungsverhältnis (SPECint/Dollar) sowie im Stromverbrauch will der R4600 von IDT (Codename Orion) neue Maßstäbe setzen. Es handelt sich dabei um eine pin-kompatible Ableitung vom

R4400PC, welche die Firma QED, eine Gruppe abtrünniger Mips-Entwickler designt hat. Wie nämlich ist der 4600 voll 64bitig und hat getrennte Daten- und Code-Caches von je 16 KByte (allerdings zweifach assoziativ). Als PC (179polig PGA) hat er keinen integrierten L2-Cache-Controller. Die Pipeline arbeitet mit Taktverdopplung (50/100 MHz), ihre Struktur wurde deutlich verbessert (5 statt 8 Stufen), so daß der 4600 bei gleichem Takt bessere SPECint92-Werte liefert (68 gegenüber 60). Interessant ist neben dem Preis (240 \$) auch die niedrige Stromaufnahme von nur 2,5 W (30 mW im Stand-by).

Unterdessen gibt Sun die Verfügbarkeit des microSPARC-II-Prozessors bekannt. Dieser arbeitet mit 70 MHz Takt (demnachst 100 MHz), verbraucht dank 3,3-V-Technologie und Power-Management deutlich weniger Strom (5 W im Betrieb) als die alte microSPARC-CPU und hängt den Vorgänger mit 51 SPECint92 und 43 SPECfp92 (bei 70 MHz) um das Zwei- bis Dreifache ab. Der von Fujitsu produzierte Chip (0,5-CMOS-Prozeß, dreilagig), ist weiterhin eine 32bittige Single-Skalar-Implementierung und hat FPU, Memory- und S-Bus-Controller integriert, nun aber mit einem wesentlich größeren Cache (16 KB Code und 8 KB Daten). Ab Anfang 1994 soll der microSPARC-II in Stückzahlen erhältlich sein. (as)